

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-046399

(43)Date of publication of application : 14.02.2003

(51)Int.Cl.

H04B 1/18

H04N 5/00

H04N 7/10

(21)Application number : 2002-124314

(71)Applicant : ZARLINK SEMICONDUCTOR LTD

(22)Date of filing : 25.04.2002

(72)Inventor : COWLEY NICHOLAS PAUL

MARK STEPHEN

MUDD JOHN

MADNI ARSHAD

LAURIA FRANCO

(30)Priority

Priority number : 2001 200110193

Priority date : 26.04.2001

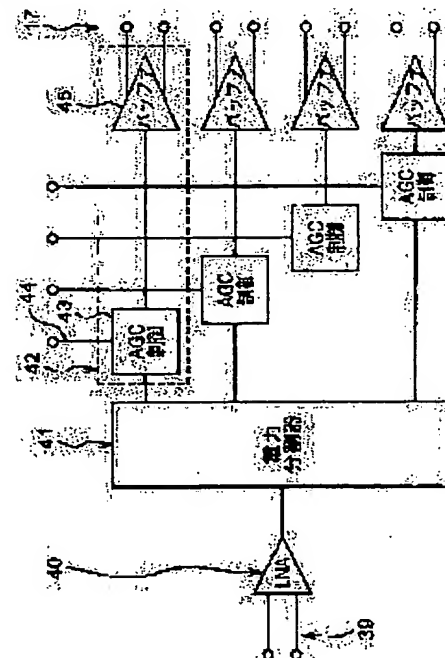
Priority country : GB

(54) RADIO FREQUENCY INPUT INTERFACE AND ITS COMPOSITE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an input interface that interfaces between a radio frequency input and a plurality of radio frequency tuners with a small size and a very higher insulation level between the outputs.

SOLUTION: The input interface is provided for interfacing between a radio frequency input, for example from a cable distribution network, and a plurality of radio frequency tuners. The interface comprises a broadband active multipath non-reactive power splitter (41) having an input (39) for receiving a broadband radio frequency signal and a plurality of differential outputs (17). The splitter (41) further has an active power splitting circuit which supplies the broadband radio frequency signal to each of the outputs (17) via a channel (42) comprising an automatic gain control circuit (43) having a single-ended output connected to the input of a differential output buffer (45).



LEGAL STATUS

[Date of request for examination]

25.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-46399

(P2003-46399A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ド [*] (参考)
H 0 4 B	1/18	H 0 4 B 1/18	Z 5 C 0 5 6
H 0 4 N	5/00	H 0 4 N 5/00	B 5 C 0 6 4
	7/10	7/10	5 K 0 6 2

審査請求 有 請求項の数13 O L (全 9 頁)

(21) 出願番号 特願2002-124314(P2002-124314)
(22) 出願日 平成14年4月25日 (2002.4.25)
(31) 優先権主張番号 0110193
(32) 優先日 平成13年4月26日 (2001.4.26)
(33) 優先権主張国 イギリス (GB)

(71) 出願人 501323251
ザ-リンク・セミコンダクター・リミテッ
ド
Zarlink Semiconduct
or Limited
イギリス、エスエヌ2・2キューダブリュ
ー、ウィルトシャー、スウィンドン、チェ
ニー・マナー
(74) 代理人 100062144
弁理士 青山 葆 (外2名)

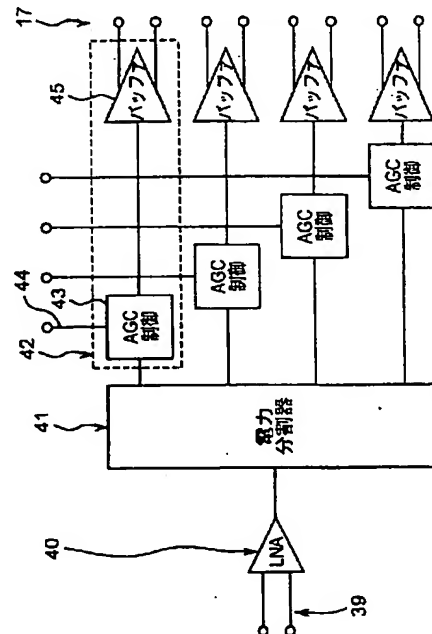
最終頁に続く

(54) 【発明の名称】 無線周波数入力インタフェース装置およびその複合装置

(57) 【要約】

【課題】 無線周波数入力端子と複数の無線周波数チューナとの間を接続する、小型で、出力端子間の絶縁レベルがかなり高い入力インタフェース装置を提供する。

【解決手段】 本発明により、例えば、ケーブル配線網からの無線周波数入力端子と、複数の無線周波数チューナとの間を接続する入力インタフェース装置が提供される。その入力インタフェース装置は、広帯域無線周波数信号を受信する入力端子 (39) と複数の差動出力端子 (17) とを有する広帯域能動マルチバス非リアクティブ電力分割器 (41) を備える。その電力分割器 (41) は、さらに、チャンネル (42) を経由して各々の出力端子 (17) に広帯域無線周波数信号を供給する能動電力分割回路を有する。チャンネル (42) は、差動出力バッファ (45) の入力端子に接続されるシングルエンド出力端子を有する自動利得制御回路 (43) を備える。



【特許請求の範囲】

【請求項1】 無線周波数入力端子(1)と複数の無線周波数チューナ(22-32)との間を接続する入力インタフェース装置であって、

広帯域無線周波数信号を受信する少なくとも1つの入力端子と、複数の出力チャンネル(42)と、その出力チャンネル(42)の各々に前記広帯域無線周波数信号を供給する少なくとも1つの能動電力分割回路(41, 41a, 41b)とを有する広帯域能動マルチパス電力分割器を備え、

前記能動電力分割回路(41, 41a, 41b)は、非リアクティブ電力分割回路であり、

前記出力チャンネル(42)の少なくとも1つは、シングルエンド出力端子を有する自動利得制御回路(43)を備え、

前記シングルエンド出力端子は、差動出力バッファ(45)の入力端子に接続され、

その差動出力バッファ(45)は、前記出力チャンネル(42)の出力端子を形成する差動出力端子(17)を有することを特徴とする入力インタフェース装置。

【請求項2】 前記差動出力端子(17)の各々が、前記広帯域無線周波数信号と実質的に同じ特性を有する信号を供給するように配置されることを特徴とする請求項1に記載の入力インタフェース装置。

【請求項3】 前記特性がインピーダンスを含むことを特徴とする請求項2に記載の入力インタフェース装置。

【請求項4】 前記特性が、周波数に関する信号レベルの分布形態を含むことを特徴とする請求項2または請求項3に記載の入力インタフェース装置。

【請求項5】 前記広帯域無線周波数信号を前記能動電力分割器の入力端子に供給する増幅器(40, 40a, 40b)を備えることを特徴とする請求項1から請求項4のいずれかに記載の入力インタフェース装置。

【請求項6】 前記少なくとも1つの入力端子が、複数の入力端子から成り、前記少なくとも1つの能動電力分割回路が、複数の能動電力分割回路(41a, 41b)から成り、

前記少なくとも1つの出力チャンネル(42)が、任意の選択された1つの能動電力分割回路(41a, 41b)の出力端子を前記自動利得制御回路(43)の入力端子に接続するマルチプレクサ(46)を備えることを特徴とする請求項1から請求項5のいずれかに記載の入力インタフェース装置。

【請求項7】 前記自動利得制御回路(43)の利得が、実質的に零に制御可能であることを特徴とする請求項1から請求項6のいずれかに記載の入力インタフェース装置。

【請求項8】 単一モノリシック集積回路として形成されることを特徴とする請求項1から請求項7のいずれかに記載の入力インタフェース装置。

【請求項9】 請求項1から請求項8のいずれかに記載の入力インタフェース装置と、前記差動出力端子(17)に接続された少なくとも1つのチューナ(22-32)との複合装置。

【請求項10】 前記チューナ(22-32)が、前記差動出力端子(17)に接続される差動入力端子を有することを特徴とする請求項9に記載の複合装置。

【請求項11】 前記チューナ(22-32)が、前記差動入力端子に接続される平衡入力端子を有する混合器(23)を備えることを特徴とする請求項10に記載の複合装置。

【請求項12】 前記混合器(23)が、二重平衡変調器であることを特徴とする請求項11に記載の複合装置。

【請求項13】 前記入力インタフェース装置と前記チューナが、共通の筐体の中に配置されることを特徴とする請求項9から請求項12のいずれかに記載の複合装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、無線周波数入力端子と複数の無線周波数チューナとの間を接続する入力インタフェース装置に関する。そのような入力インタフェース装置は、例えば、デジタルケーブル配線システムに接続するための「フロントエンド」として使用でき、また、1つの「セットトップボックス」に設けられてもよい。また、本発明は、1つのセットトップボックスを形成できる、そのような入力インタフェース装置と少なくとも1つのチューナとの複合装置に関する。

【0002】

【従来の技術】図1は、一般的に既知の種類のセットトップボックスフロントエンドの構成を示す。そのフロントエンド2は、システムオペレータとシステム受信契約者との間の双方向通信を可能にする双方向ケーブル供給部1に接続される。フロントエンド2は、「ブリキ缶」内に形成される。その「ブリキ缶」は、内部の構成要素の電磁遮蔽を可能にするファラディ箱として作用する。以下で詳細に述べるように、フロントエンド、すなわちインタフェース装置は、ダイプレクサを備え、電力分割(パワースプリット)機能および戻りチャンネル増幅器機能を実行する。そのインタフェース装置2は、入力部3および出力部4を備える。入力部3は、ケーブル供給部を介してケーブル配線網に伝送されるアップストリームデータを受信する。出力部4は、例えば、ビデオリモジュレータ(図示されない)にデータを供給する。そのビデオリモジュレータにおいて、入力されたデータは、セットトップボックス内の復調器からのチャンネル出力と多重化される。

【0003】インタフェース装置2は、データチューナ

50 5、データチューナ6およびメインチャンネルチューナ7

等の各々のチューナの入力部に接続される複数(この例では3つ)の出力部を備える。それぞれのチューナは、遮蔽の目的で「ブリキ缶」内に形成される。チューナ5、チューナ6およびチューナ7は、選択されたチャンネルを規格の中間周波数に変換し、これらを各々の復調器(図示されない)に供給する。

【0004】図1のインタフェース装置2は、図2に、より詳細に示される。インタフェース装置2は、アンテナ入力端子10を備える。そのアンテナ入力端子10は、入力端子cと出力端子bとを有するダイプレクサ11の入力/出力端子aに接続される。入力端子cは、電力増幅器(PAMP)12の出力端子に接続される。その電力増幅器12は、自動利得制御(AGC)の制御信号を受信する利得制御入力端子13を有する。電力増幅器12は、例えば、外部発振器によって生成されるアップストリームデータを受信する入力端子14を有する。ダイプレクサ11の出力端子bは、低雑音増幅器(LNA)15を経由して、電力分割器(パワースプリッタ)16に接続される。電力分割器16は、それぞれのチューナに接続するための複数の出力端子17を有する。電力分割器16は、複数の出力端子17に信号パワーを分配するために、変成器または平衡不平衡変成器等の磁気結合電力分割器の配列を備える。

【0005】ダイプレクサ11の目的は、データストリーム間のクロストークを最小にして、ケーブル供給部においてダウンストリームデータとアップストリームデータとを多重化することである。従って、ダイプレクサ11は、端子bと端子cとの間の比較的高い程度の絶縁以外に、端子aから端子bまで、および、端子cから端子aまでの挿入損または減衰を最小にする必要がある。一般的な例において、アップストリームデータの帯域は、5MHzから55MHzまでであってよく、ダウンストリームデータの帯域は、65MHzから860MHzまでであってよい。ダイプレクサ11は、一般的に、端子aから端子bまでで65MHzから860MHzまでの通過帯域を有し、55MHz未満の帯域で1dB未満の挿入損および60dBの減衰がある。また、ダイプレクサ11は、端子cから端子aまでで5MHzから55MHzまでの通過帯域を有し、65MHzを越える帯域で1dB以下の挿入損および60dBの減衰がある。

【0006】図3は、図1に示されるチューナ5からチューナ7までのいずれかまたは全てを形成しうる一般的に既知の二重変換チューナ(double conversion tuner)を示す。このチューナは、自動利得制御(AGC)回路21に接続されるアンテナ入力端子20を有する。自動利得制御(AGC)回路21は、チューナの信号対相互変調+雑音比性能を最大にするために、第1の周波数変換器22に供給される信号のレベルを制御する。第1の周波数変換器22は、混合器(ミキサ)23と、位相同期ループ(PLL)合成器2

5によって制御される局部発振器(LO)24とを備える。位相同期ループ(PLL)合成器25は、例えば、12Cバスマイクロコントローラ(図示されない)によって制御される。周波数変換器22は、入力される広帯域信号を高い中間周波数(IF)(以下、「高中間周波数」という。)にブロックアップ変換(block up-conversion)し、選択されたまたは希望の受信チャンネルを、実質的に、高中間周波数に集中させる。周波数変換器22の出力は、定められた中心周波数および通過帯域特性を有する高中間周波数フィルタ26に供給される。フィルタ26は、一般的に、少数の個々のチャンネルを通し、その他のチャンネルを、実質的に拒否する。

【0007】フィルタ26の出力は、第2の周波数変換器27に供給される。第2の周波数変換器27は、第1の周波数変換器22に類似し、混合器28、局部発振器29および位相同期ループ合成器30から成る。第2の周波数変換器27は、希望のチャンネルが、実質的に、一般的に44MHzである第2のIFに集中するように、ブロックダウン変換(block down-conversion)を実行する。周波数変換器27の出力は、IFフィルタ31に供給される。IFフィルタ31は、一般的に、単一チャンネル帯域を有し、受信信号の変調規格によって定められる鮮鋭な通過帯域特性を有してもよい。フィルタ31は、実質的に、希望のチャンネル以外の全てのチャンネルを除去する。フィルタ31の出力は、増幅器32によって増幅された後、復調器(図示されない)に接続するためにIF出力端子33に供給される。その復調器は、アナログ式のものであっても、デジタル式のものであってもよい。

【0008】この既知の種類の構造は、種々の欠点をもつ。例えば、電磁電力分割器16は、設計が困難であり、電磁的な部品の使用は、結果として、個々の部品間の絶縁レベルを希望のレベルよりも低くする。これは、出力端子17間の絶縁を減少させることにつながる。また、電磁部品は比較的肉体積が大きく、この構成は、部品の費用のために比較的高価になり、製造中に調整が必要である。さらに、電磁部品は、自然に反応するので、フラットでない通過帯域をもつ。

【0009】米国特許第5168242号は、伝送線技術に依存したある種類の能動広帯域電力分割器を開示する。伝送線技術は、入力信号からそれぞれに位相シフトされた複数のシングルエンド出力信号を提供する。伝送線は、伝送線をまねたリアクティブ素子、特に、直列接続された誘導子と分路コンデンサとを使用し、それらの素子は、複数のチャンネルの各々において複数の電解効果トランジスタ(FET)のゲート線およびドレイン線として接続される。複数のチャンネルは、入力信号を受信する1つのチャンネルに縦続に接続される。隣接するチャンネルは、伝送線間の容量性の連結部を経由して相互接続さ

れる。

【0010】米国特許第5072199号は、別の種類の能動広帯域電力分割器を開示する。その電力分割器においては、単利得広帯域フィードバック増幅器が、複数の能動マッチング回路への入力信号をバッファする。複数の能動マッチング回路は、それぞれ、シングルエンド出力を有する。その増幅器は、能動ドレイン負荷およびフィードバックを有するコモンソースFETと、誘導子を含むマッチング部品とを備える。各々のマッチング回路は、能動負荷を有するソースフォロアを備える。

【0011】米国特許第5045822号は、更なる別の種類の能動広帯域電力分割器を開示する。その電力分割器においては、コモンソースFETが、シングルエンド出力を形成するドレインと、共にリアクティブ網による入力に接続されるゲートとを有する。各々のFETは、直列に接続された抵抗器および誘導子によって提供された分路フィードバックを有する。出力間のクロストークは、抵抗器および誘導子を介したクロス結合によって減じられる。

【0012】米国特許第4668920号は、伝送線および分配増幅器(distributed amplifier)技術に基づく別の能動マトリクス広帯域電力分割器を開示する。FETの集合は、誘導子によって形成される共通入力伝送線のタッピング(tapping)部分に接続されるゲート、および、誘導子によって形成される個々の出力伝送線のタッピング部分に接続されるドレインを有する。

【0013】米国特許第4378537号は、能動広帯域電力分割器を開示する。その電力分割器においては、縦続エミッタフォロアを備える入力バッファが、シングルエンド出力を提供する複数の能動抵抗器-コンデンサ結合網を供給する。

【0014】米国特許第3832647号は、縦続接続されたコモンベーストランジスタを備える単一の配線網を開示する。各々のトランジスタのコレクタは、その二次的な巻線が各々の出力に接続される変成器の主用巻線を経由して次の段に接続される。

【0015】

【発明が解決しようとする課題】これら既知の電力分割器の構成には、種々の欠点がある。例えば、その構成の多くは、誘導子等のリアクティブ素子に依存して、上述の欠点をもつ電力分割を実行する。受動構成は、それらの出力間の絶縁が不足する。

【0016】本発明の目的は、電磁部品を使用せずに、小型で、出力端子間の絶縁レベルがかなり高い、無線周波数入力端子と複数の無線周波数チューナとの間を接続する入力インタフェース装置を提供することである。

【0017】

【課題を解決するための手段】本発明の第1の態様によると、無線周波数入力端子と複数の無線周波数チューナ

との間を接続する入力インタフェース装置が提供される。その入力インタフェース装置は、広帯域無線周波数信号を受信する少なくとも1つの入力端子と、複数の出力チャネルと、その出力チャネルの各々に広帯域無線周波数信号を供給する少なくとも1つの能動電力分割回路とを有する広帯域能動マルチバス電力分割器を備える。その能動電力分割回路は、非リアクティブ電力分割回路である。前記の出力チャネルの少なくとも1つは、シングルエンド出力端子を有する自動利得制御回路を備え、そのシングルエンド出力端子は、差動出力バッファの入力端子に接続される。その差動出力バッファは、出力チャネルの出力端子を形成する差動出力端子を有する。

【0018】本明細書中で使用される「広帯域」という言葉は、複数のチャネル幅を備え、かつ、その中から受信用の所望のチャネルが選択できる複数のチャネルを含む、1つの比較的大きな周波数レンジを意味する。本明細書中で使用される「能動(アクティブ)」という言葉は、トランジスタ等の電力利得を有する能動素子を少なくとも1つ備えていることを意味する。本明細書中で使用される「非リアクティブ」という言葉は、リアクティブ素子に依存せずに電力分割を実行する構成を意味する。本明細書中で使用される「バッファ」という言葉は、入力端子と出力端子との間の高いレベルの電氣的絶縁を提供し、利得および/またはインピーダンス変換を提供できる素子または構成を意味する。

【0019】前記の差動出力端子の各々は、好ましくは、前記の広帯域無線周波数信号と実質的に同じ特性を有する信号を供給するように配置される。好ましくは、その特性は、インピーダンスを含む。好ましくは、その特性は、周波数に関する信号レベルの分布形態、および、それに類似するものを含む。

【0020】前記の入力インタフェース装置は、好ましくは、前記の広帯域能動マルチバス電力分割器の入力端子に前記の広帯域無線周波数信号を供給する増幅器を備える。

【0021】前記の入力インタフェース装置において、前記の少なくとも1つの入力端子は、好ましくは、複数の入力端子から成る。前記の少なくとも1つの能動電力分割回路は、好ましくは、複数の能動電力分割回路から成る。前記の少なくとも1つの出力チャネルは、好ましくは、任意の選択された1つの能動電力分割回路の出力端子を前記の自動利得制御回路の入力端子に接続するマルチプレクサを備える。

【0022】好ましくは、前記の自動利得制御回路の利得は、実質的に零に制御可能である。好ましくは、前記の入力インタフェース装置は、単一モノリシック集積回路として形成される。

【0023】本発明の第2の態様によると、本発明の第1の態様による入力インタフェース装置と、前記の差動出力端子に接続された少なくとも1つのチューナとの複

合装置が提供される。

【0024】好ましくは、前記のチューナは、前記の入力インタフェース装置の差動出力端子に接続される差動入力端子を有する。好ましくは、前記のチューナは、前記の差動入力端子に接続される平衡入力端子を有する混合器を備える。好ましくは、前記の混合器は、二重平衡変調器(double-balanced mixer)である。

【0025】好ましくは、前記の複合装置において、前記の入力インタフェース装置と前記のチューナは、例えば、セットトップボックスを形成するために、共通の筐体の中に配置される。

【0026】

【発明の実施の形態】以下に、添付の図面を参照して、本発明の実施の形態について説明する。図面を通して、同一の符号は同一の構成要素を示す。図4に示される入力インタフェース装置は、入力端子39に接続された低雑音増幅器40を備える。入力端子39は、例えば図2に示されるようなダイプレクサの出力端子に接続される。増幅器40は、利得を供給し、例えば、ダイプレクサを経由してケーブル配線網から供給される広帯域無線周波数入力信号を受信するために適切な雑音指数と信号処理性能とを有する。

【0027】増幅器40の出力は、例えば図示されるように、4つの出力端子を有する能動電力分割器41の入力端子に供給される。それら4つの出力端子の各々は、その特性が実質的に入力信号に一致する出力信号を供給する。例えば、各々の出力端子の出力インピーダンスは、実質的に、電力分割器41の入力端子の入力インピーダンスと同じであってよい。また、その入力端子から電力分割器41の各々の出力端子までの各々の経路は、かなり広帯域の周波数に渡って、実質的にフラットな周波数応答を有する。電力分割器41は能動的であり、図2に示される既知の種類の電力分割器に必要とされる電磁素子等のリアクタンス素子を全く必要としない。従って、電力分割器41は、入力信号パワーを、効果的に、例えば、実質的に等しく、出力端子に分割する。

【0028】電力分割器41の各々の出力端子は、各々のチャンネルの入力端子に接続される。ここでは、1つのチャンネル42だけが説明され、図4の実施の形態における他のチャンネルは実質的に同一である。しかし、それらの出力チャンネルは、同一である必要はなく、例えば、異なる出力インピーダンス、異なる自動利得制御特性を有してもよく、または、固定利得を有してもよい。チャンネル42は、その入力端子が電力分割器41の各々の出力端子に接続される自動利得制御(AGC)回路43を備える。AGC回路43は、利得制御入力端子44を有する。その利得制御入力端子44は、例えば、インタフェース装置2内の制御信号生成回路に接続されてもよく、チャンネル42が接続されるチューナ7内の回路等に接続

されてもよい。AGC回路43の出力端子は、バッファ45の入力端子に接続される。バッファ45は、チューナ7の入力端子に接続するために平衡出力端子または差動出力端子17を提供する。バッファ45は、適切な出力インピーダンスを提供してよく、利得を有しても有しなくてもよい。

【0029】図5は、チューナ7に接続される図4のインタフェース装置2を示す。チューナ7は二重変換型であり、図3に示されるチューナと同様である。しかし、図5のチューナは、図3のAGC回路21の機能が図4に示されるインタフェース装置内に提供されるためにAGC回路21が省略されるという点で、図3に示されるチューナと異なる。また、第1の周波数変換器22の混合器23は、インタフェース装置2の差動出力によって利益を得るために、差動入力端子を有する種類である。例えば、混合器23は、二重平衡変調器であってよい。

【0030】図4に示されるインタフェース装置2の全ての構成要素は、単一の集積回路内に形成できる。それ故、費用が削減された非常に小型のフロントエンドを提供することが可能である。AGC回路43は、インタフェース装置2において、バッファ45の前で容易に実行され、信号を差動信号または平衡信号に変換する。これは、インタフェース装置2と、チューナ7等の各々のチューナとの間の接続が、平衡状態になることを可能にし、利得が変化するにつれて振幅および位相平衡を維持する差動AGC回路を提供するという問題を排除する。チューナへの差動信号接続は、結果として、相互変調性能、および、擬似雑音信号のコモンモード拒否を改善する。

【0031】また、そのような構成は、電力分割器の出力端子間の絶縁を改善する。また、その利得制御レンジを調整して零利得まで拡張することによって絶縁スイッチとして機能しうるAGC回路43を提供することは比較的容易である。従って、チューナが、マルチプレクサを経由して、インタフェース装置の出力端子に接続され、さらなる信号源が、例えば復調デジタルビデオチャネルから、チューナの入力端子に接続されることが可能になる時、インタフェース装置からの信号を、AGC回路利得を最小利得設定に切り換えることによって、効果的に無効にできる。従って、無線周波数リレーの必要性およびそのコストを排除できる。

【0032】図6は、複数(この場合では2つ)の入力信号のうち任意の信号を任意の出力に切り換えることが可能な別のインタフェース装置を示す。図6のインタフェース装置は、単一の差動入力端子39が、2つの差動入力端子39aおよび差動入力端子39bによって置き換えられ、単一LNA40が、2つのLNA40aおよびLNA40bによって置き換えられ、単一電力分割器41が、2つの電力分割器41aおよび電力分割器41bによって置き換えられ、各々のチャンネル42が、電力

分割器41aおよび電力分割器41bと、AGC制御回路43との間にマルチプレクサ(MPX)46を有する点で、図4に示されるインタフェース装置と異なる。LNA40aおよびLNA40bは、実質的に、LNA40と同一であり、電力分割器41aおよび電力分割器41bは、実質的に、電力分割器41と同一である。

【0033】マルチプレクサ46は、電力分割器41aの出力端子および電力分割器41bの出力端子にそれぞれ接続される第1の入力端子および第2の入力端子を有する。また、マルチプレクサ46は、マルチプレクサ46の出力端子にどちらの入力が接続されるかを選択する制御入力端子47を有する。従って、各々のチャンネルは、他のチャンネルから独立して、マルチプレクサ46の制御入力端子47に供給される制御信号に従って、その出力端子に、入力信号のうちの任意の信号を供給できる。

【0034】

【発明の効果】本発明により、インタフェース装置を非常に小型にすることができる。また、そのほとんどまたは全てを1つの集積回路として形成できるインタフェース装置を提供することができる。電磁電力分割器は必要とされないで、体積、費用、および、製造中に調整する必要性が排除できる。出力端子間のかなり高いレベルの絶縁が提供でき、インタフェース装置を介する各々の広帯域経路は、容易に、非常に小さいリプルまたは利得/減衰変化を有する通過帯域を提供できる。本発明によるインタフェース装置は、非常に小型に作られ、そのコストは、既知の構成よりもずっと低くできる。

【0035】また、本発明により、チューナの性能を改善することができる。特に、例えば第1の二重平衡変調器を備える適切に設計されたチューナに接続される差動出力を使用することによって、歪み性能を実質的に改善でき、特に、相互変調生成を実質的に低減できる。

【0036】本発明により、チューナは簡素化され、設計作業および費用を節約できる。差動AGC回路または平衡AGC回路は、設計が困難であり、一般的に、性能が低い。差動出力バッファの前にAGC回路を設置する

ことにより、上述のように、差動信号をチューナに供給する利益を享受する一方、AGC機能が実行できる。また、チューナに対する差動入力供給または「平衡」入力供給は、結果として、そうでなければチューナ入力に結合される擬似「雑音」信号のコモンモード拒否につながる。

【図面の簡単な説明】

【図1】 従来のセットトップボックスのブロック図。

【図2】 セットトップボックスの従来のフロントエンドインタフェース装置のブロック図。

【図3】 従来の二重変換チューナのブロック図。

【図4】 本発明による実施の形態を構成する無線インタフェース装置のブロック図。

【図5】 変形のチューナに接続され、本発明の実施の形態を構成するセットトップボックスを提供する図4のインタフェース装置のブロック図。

【図6】 本発明による別の実施の形態を構成する無線インタフェース装置のブロック図。

【符号の説明】

2 インタフェース装置

7 チューナ

17 出力端子

22、27 周波数変換器

23、28 混合器

24、29 局部発振器

25、30 位相同期ループ(PLL)合成器

26、31 フィルタ

32 増幅器

33 IF出力端子

39 入力端子

40 低雑音増幅器

41 電力分割器

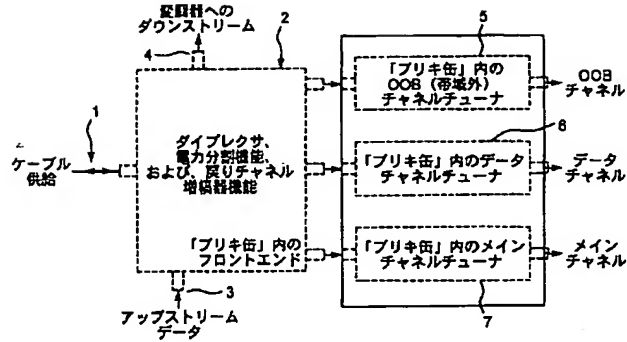
42 チャンネル

43 自動利得制御(AGC)回路

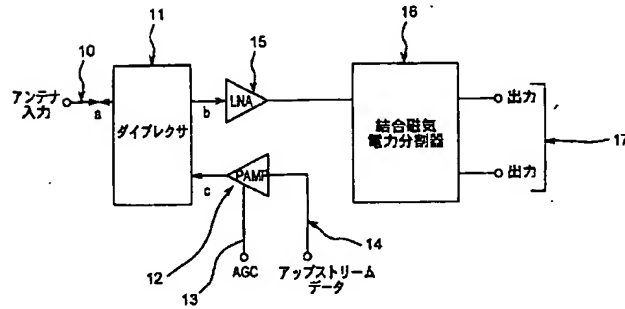
44 利得制御入力端子

45 バッファ

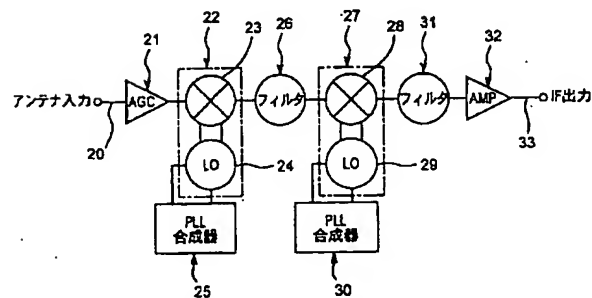
【図1】



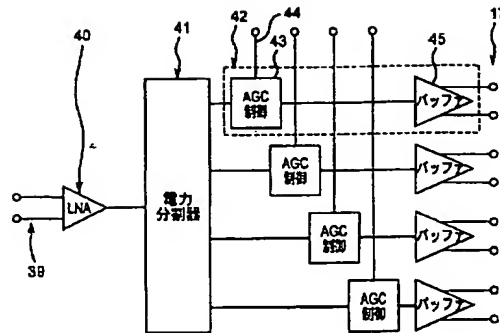
【図2】



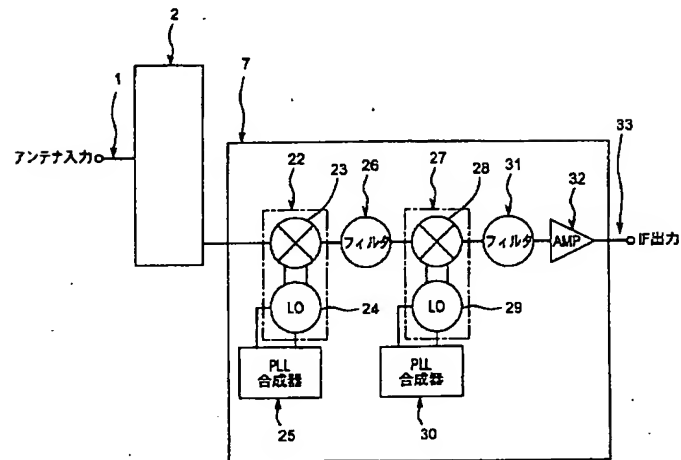
【図3】



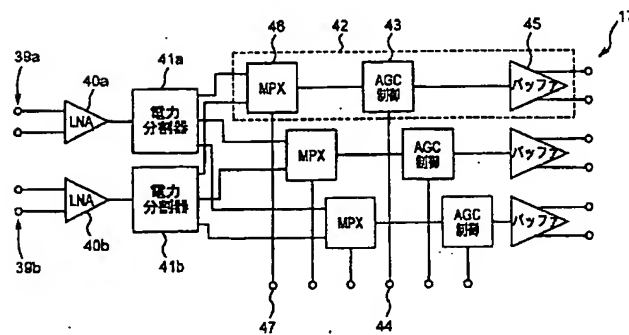
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 ニコラス・ボール・カウリー
イギリス、エスエヌ4・0アールティ、ウィルトシャー、ロートン、ブライアーズ・ヒル3番

(72)発明者 マーク・スティーブン
イギリス、エスエヌ4・7エスディ、ウィルトシャー、ウットン・バセット、ソルトスプリング・ドライブ27番

(72)発明者 ジョン・マッド
イギリス、エスエヌ4・7エスディ、ウィルトシャー、ウットン・バセット、ソルトスプリング・ドライブ27番

(72)発明者 アーシャド・マドニ
イギリス、ウィルトシャー、スウィンドン、ファーロン・クロース30番

(72)発明者 フランコ・ラウリア
イギリス、ウィルトシャー、スウィンドン、オーチャード・グローブ34番

Fターム(参考) SC056 FA02 FA03 FA05 GA02 GA07
GA11 HA01 HA04 HA14
SC064 BA01 BB05 BC12 BC14 BC21
BD08
SK062 AA01 AB06 AB07 AB10 AD09
AE04 AF05